

⑬ Int.Cl.⁴

識別記号

庁内整理番号

⑭ 公開 昭和62年(1987)9月11日

H 01 L 27/10

7735-5F

21/76

7131-5F

29/78

8422-5F

審査請求 未請求 発明の数 2 (全5頁)

⑮ 発明の名称 半導体装置およびその製造方法

⑯ 特 願 昭61-48314

⑰ 出 願 昭61(1986)3月7日

⑱ 発 明 者 齊 藤 良 和 高崎市西横手町111番地 株式会社日立製作所高崎工場内

⑲ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

⑳ 代 理 人 弁理士 小川 勝男 外1名

明 細 書

1. 発明の名称

半導体装置およびその製造方法

2. 特許請求の範囲

1. 半導体基体表面において周辺から分離された島領域を有し、上記島領域に分離するための領域は、半導体基体上の絶縁膜を介して設けられた半導体膜又は／及び導体膜からなり、上記半導体膜又は／及び導体膜は固定電位が印加されて、上記島領域と周辺の領域との間が分離されていることを特徴とする半導体装置。

2. 上記島領域内に絶縁ゲート半導体素子を有し、上記島領域を分離するための領域は基体上に絶縁膜を介して設けられた第1層多結晶半導体膜からなり、上記絶縁ゲート半導体素子の絶縁ゲートは基板上に絶縁膜を介して形成した第2層多結晶半導体膜からなることを特徴とする特許請求の範囲第1項記載の半導体装置。

3. 半導体基体の表面に絶縁膜を介して第1層多結晶シリコン層を選択形成し、一つの領域を囲

む分離領域を形成する工程、上記一つの領域のシリコン半導体基板の表面に絶縁膜を介して第2層多結晶シリコン層を選択形成してゲート部を形成する工程、上記ゲート部及び分離領域の前記第1、第2層多結晶シリコン層を不純物導入マスクに用いて上記一つの領域内に不純物を導入し不純物導入領域を形成する工程、上記分離領域の第1層多結晶シリコン層に接続する固定電位電極及び上記不純物導入領域に低抵抗接続する電極を形成する工程からなる半導体装置の製造方法。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は絶縁ゲート構造を利用した素子分離技術に関するものであって、たとえばMOS型メモリのセル分離に利用して有効な技術に関する。

〔従来の技術〕

半導体集積回路における素子分離(アイソレーション)については、樹工業調査会発行電子材料1982年7月号に「新しい素子分離技術」(p111～p115)等に記載されている。

その概要は、分離方式として(1) $p-n$ 接合分離と(2)酸化膜分離とに大別される。上記(1)は製作容易であるが分離幅が大きくなる欠点を有し、(2)はLOCOS (Local oxidation of silicon) 法、アイソプレーナ法等の選択酸化法が用いられる。分離面積は比較的小さくできるものの高耐圧化が困難である。また、近年ではU溝などの溝埋め込み法が開発され、その分離面積は極めて微細化されている。

〔発明が解決しようとする問題〕

しかし、メモリの微細化プロセスにおいてLOCOS方式では、第2図に示すように酸化膜2の周縁部にそって生じるバース・ピーク2aのため分離幅(d_1)の縮小にも限界がある。同図において、1は p^- ウエル層、2はLOCOS法によるシリコン酸化膜(SiO_2 膜)、3は多結晶シリコン(ポリSi)ゲート、4はソース・ドレイン n^+ 層である。アイソプレーナ法においてもバース・ピークが発生し、分離幅の縮小には限度がある。U溝分離法は工程が複雑であるという問題を有す

る。ソース・ドレイン領域することによりポリSiゲートトランジスタを形成するものである。

〔作用〕

上記した手段によれば第1層ポリSiを形成した部分はMOS構造となり、固定電圧印加することによりこれを挟む2つの領域の間を狭い分離幅で分離することができ、さらに第2層ポリSiを用いてMOSFET素子をセルフアラインにより形成することができ、前記目的を達成できる。

〔実施例〕

第1図は本発明による実施例のうち代表的な例を示すものであって、周辺から分離されたMOS型半導体装置断面図である。

5は半導体基体(チップ)であって、 n^- 型Si単結晶からなる。1は基体表面に形成された p^- 型ウエルである。6は酸化膜(SiO_2 膜)、7は素子分離のための第1層多結晶シリコン層としてのポリSi膜である。3は第2層多結晶シリコン層としてのポリSiからなる絶縁ゲートである。

4は不純物導入領域としてのソース・ドレイン

る。

本発明は上記の問題を克服したものであり、その目的は製造工程が簡単で、かつ、分離幅が縮小された半導体装置技術を提供することである。

本発明の前記ならびにそのほかの目的と新規な特徴は本明細書の記述及び添付図面からあきらかになろう。

〔問題点を解決するための手段〕

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記のとおりである。

すなわち、シリコン(Si)半導体基体表面に周辺から分離された一つの島領域を形成し、上記島領域内に絶縁ゲートトランジスタを形成するにあたって、上記基体上に絶縁膜を介して第1層ポリSiを形成し、この第1層ポリSiに固定電圧を印加することによってその直下のSi基体表面の導電型を変えることにより周辺から接合分離された島領域を形成し、この島領域内に絶縁膜を介して第2層ポリSiからなるゲートを形成し第1層ポリSi及び第2層ポリSiをマスクとしてソ

部で n^+ 拡散層からなる。

上記ポリSi膜7、酸化膜6、 p^- ウエル(Si基板)からなるMOS構造においてポリSi膜7に負電圧印加することにより、Si表面に p^+ 層が誘起され、これが周辺の n 型基板との間を電気的に分離する作用をもつことになり、従来のLOCOS等の比して狭い分離幅(d_2)で分離の効果を有する。

この分離幅すなわちポリSi膜7の巾 d_2 は極めて微細である。なぜなら、ポリSi膜はその膜質の関係で微細なパターンニングが容易であるためである。

第3図乃至第8図は本発明による実施例のうち、半導体基板に分離された一つのMOS素子をセルフアラインメントに形成するプロセスを工程断面図で示すものである。

以下各工程にそって説明する。

(1) n^- 型Si単結晶基板5を用意し、表面にデポジットした SiO_2 、又は Si_3N_4 等の被膜をホットエッチしてウエルホトマスク8を形成し、B(ボ

ロン)等のアクセプタをイオン打込みした後、上記 Si_3N_4 等を除去し N_2 雰囲気中でアニールすることによりp型ウェル1を形成する(第3図)。

(2) 熱酸化(ゲート酸化)により表面に酸化膜(SiO_2)6を形成し、その上にポリSiをデポジットして第1層ポリSi膜7を形成する(第4図)。この第1層ポリSiにはP(リン)処理を施すことにより低比抵抗化する。

(3) ホトレジストを用いて第1層ポリSi膜7とすい酸化膜6を部分的にエッチ(第1ゲートホットエッチ)し、アクティブ領域となるSi基板1表面を露出する(第5図)。

(4) 熱酸化等により全面に SiO_2 膜9(ゲート酸化膜)を形成し、その上にSiをデポジットし第2層ポリSi膜3を形成する。このあとリン処理又はリンイオン打込みにより第2層ポリSi膜3を低比抵抗化する(第6図)。

(5) 第2ゲートのホットエッチを行い、第2層ポリSi膜3の不要部分を取り除きゲート3を形成する。このあと酸化膜を通しP(リン)をイオン打

込みし、 N_2 ガス中でアニールを行ってゲート3に対してセルフアラインに形成されたソース・ドレインとなる n^+ 層4を形成する(第7図)。

(6) 全面に高湿低圧析出法によるPSG(リン・シリケート・ガラス)10をデポジットし、コンタクトホットエッチを行ない、アルミニウムAlをスパッタリングし、ホットエッチならびに H_2 ガス中でのアニールを行うことによりソース・ドレインに接続するアルミニウムAl電極(配線)11を形成しnチャネルMOSFETが完成する(第8図)。

第9図は上記プロセスにより製造された2つのMOS素子をふくむnチャネルMOSFETの一例を示す平面図である。12、13はコンタクト孔の位置を示す。

第10図は第9図におけるA-A視断面図、第11図は同B-B視断面図である。

第12図は第10図に示した2つのMOSFET Q_1 、 Q_2 を含むnチャネルMOSFETを一つの断面図に構成した構成図である。

第12図に示すように、第1層ポリSi膜7に対してMOS電圧 V_b (0以上の値をとる)を印加することにより、直下のp⁻ウェル表面にpウェルよりも高濃度のp⁺層15が生じるという作用でチャネルストップとなって周辺のn⁻基板から電気的に分離(アイソレーション)される。このp⁺層はpウェルより高濃度であるためアイソレーション耐圧の向上がみこまれる。

上記実施例で示した本発明によればMOS技術を利用したものであることにより、アイソレーション(分離)幅の限界がリソグラフィの限界まで縮小できる。たとえば、従来のLOCOS方法であれば分離幅 $d_1=7\mu\text{m}$ であったのに対し、本発明のMOS方法を採用すれば $d_1=3\mu\text{m}$ 程度にまで縮小可能である。

上記した実施例により得られる効果を下記に示す。

(1) 多結晶シリコン層を素子間分離に用いたことにより、多結晶シリコン層が微細加工できるという作用で、素子間分離巾を縮小することができる。

(2) 多結晶シリコン層に固定電位(電圧)を印加することにより、絶縁膜下の半導体基体の導電型が高濃度不純物領域の如く形成できるという作用で、簡単な構成で素子間分離が可能である。

(3) 素子分離用の多結晶シリコン層は2層多結晶シリコンを有する半導体製造技術の内の1つの多結晶シリコン層を用いることにより、新たに素子分離用の多結晶シリコン層形成工程が不要であるという作用で、製造工程の増加がない。たとえば、ダイナミック・ランダム・アクセスメモリ(DRAM)のメモリセルに使用される容量電極用の多結晶ポリシリコン層とDRAMの周辺回路における素子分離用の多結晶シリコン層とを共用できる。

(4) 上記(1)、(2)より、素子分離幅が微細化され、かつ、簡単な構成で、素子分離を行なうことができるという作用で、半導体素子の高集積化が達成できる。

以上本発明者によってなされた本発明を実施例にもとづき具体的に説明したが、本発明は上記実

施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。たとえばn基板表面にpチャネルMOSFETを有するC-MOSICの一部として本発明を利用することができる。

本発明はnチャネルMOS型セルを用いたメモリセルに特に、2層のポリSi層を形成するプロセスに適用する部分に最も高い効果を有する。

〔発明の効果〕

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記のとおりである。

すなわちMOS素子のアイソレーション幅を縮小することができ、ICの集積度向上、チップサイズの縮小という効果を奏する。

4. 図面の簡単な説明

第1図は本発明による代表的な例であってMOSアイソレーションによるセル断面図である。

第2図は従来例として示したLOCOSアイソレーションによるセル断面図である。

第3図乃至第8図は本発明による一実施例を示すMOSセルの製造プロセスの工程断面図である。

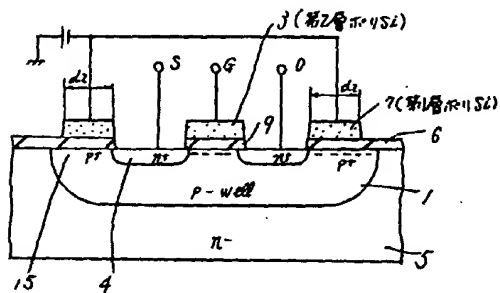
第9図は本発明による一実施例を示し、2つのセルを含むMOSFETの平面図、第10図は第9図におけるA-A断面図、第11図は同ICB-D断面図である。

第12図は第9図乃至第11図で示したMOSFETを構成図として示した断面図である。

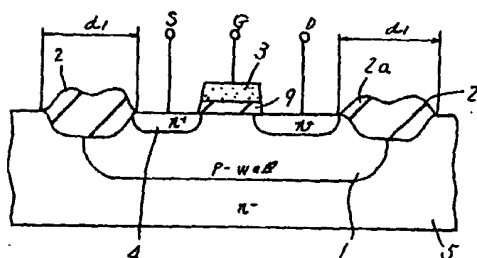
1…p⁻型Si基体(p⁻ウェル)、2…LOCOS分離、3…ポリSiゲート、4…ソース・ドレインn⁺層、5…n⁻Si基板(サブストレート)、6…SiO₂膜、7…第1層ポリSi膜、8…SiO₂膜、9…ゲートSiO₂膜、10…PSG膜、11…A₂電極、12、13…コンタクト孔、15…p⁺層。

代理人 弁理士 小川 勝 男

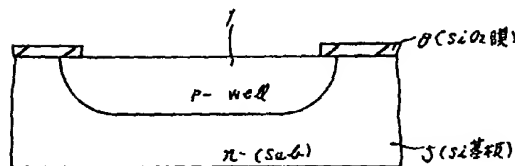
第 1 図



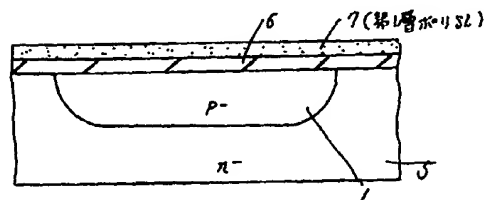
第 2 図



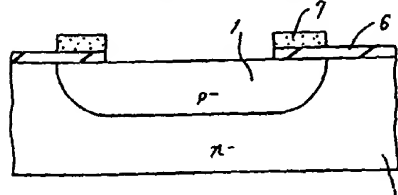
第 3 図



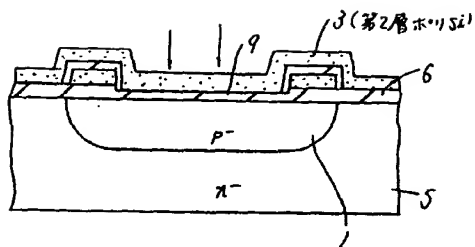
第 4 図



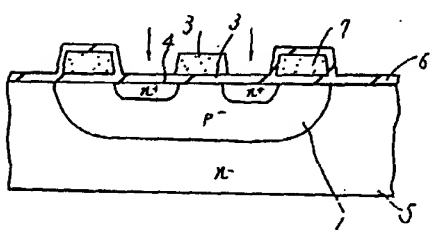
第 5 図



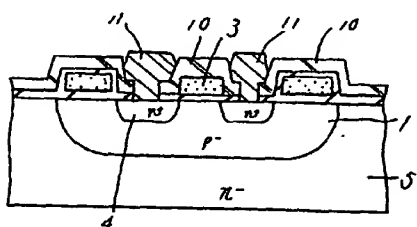
第 6 圖



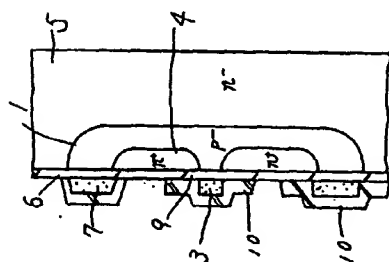
第 7 圖



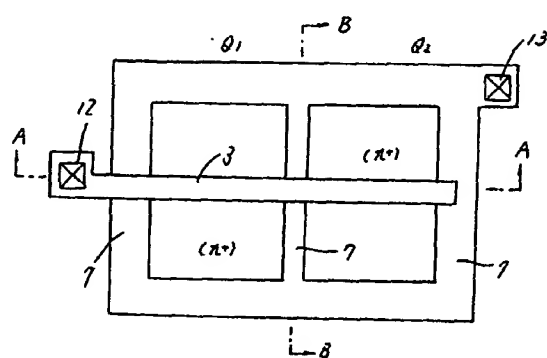
第 8 圖



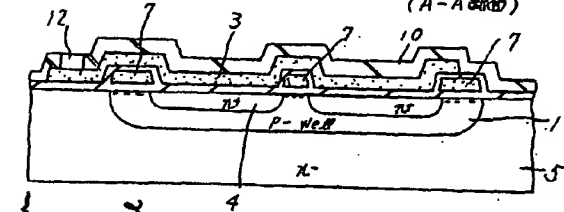
第 11 圖
(B-B 断面図)



第 9 圖



第 10 圖



第 12 圖

